

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:
Andre Schäfer

Serial No.: Unknown

Filed: Herewith

Confirmation No.: Unknown

For: INPUT CIRCUIT FOR
RECEIVING A SIGNAL AT AN
INPUT ON AN INTEGRATED
CIRCUIT

§
§
§
§
§
§
§
§
§
§
§

Group Art Unit: Unknown

Examiner: UNKNOWN

MAIL STOP PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

CERTIFICATE UNDER 37 CFR 1.10

I hereby certify that this correspondence and the documents referred to as attached therein are being deposited on April 4, 2004 with the United States Postal Service in an envelope as "Express Mail Post Office to Addressee," mailing label No. EV416702815US addressed to: Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

4-1-04
Date

[Signature]
Signature

CLAIM TO PRIORITY

Applicant reaffirms the claim for the benefit of filing date of the following foreign patent application referred to in Applicant's Declaration:

German Patent Application Serial Number 103 15 527.9, filed April 4, 2003.

A copy of the application certified by the German Patent Office is enclosed.

Respectfully submitted,

[Signature]

Gero G. McClellan
Registration No. 44,227
MOSER, PATTERSON & SHERIDAN, L.L.P.
3040 Post Oak Blvd. Suite 1500
Houston, TX 77056
Telephone: (713) 623-4844
Facsimile: (713) 623-4846
Agent for Applicant

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 15 527.9

Anmeldetag: 4. April 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Eingangsschaltung zum Empfangen eines Signals
an einem Eingang einer integrierten Schaltung

IPC: H 04 L, G 11 C, H 03 K

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 12. März 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Stanschus

Beschreibung

Eingangsschaltung zum Empfangen eines Signals an einem Eingang einer integrierten Schaltung

5

Die Erfindung betrifft eine Eingangsschaltung zum Empfangen von Signalen an einem Eingang einer integrierten Schaltung, insbesondere an einem Eingang einer DRAM-Schaltung, und zum Bewerten des empfangenen Signals bezüglich einer Referenzspannung.

10

Bei schnellen Datenverbindungen zwischen integrierten Schaltungen werden terminierte Datenleitungen eingesetzt, um Signalreflektionen in einer Eingangsschaltung der integrierten Schaltung zu vermeiden. Darüber hinaus stellen die Eingangsschaltungen auf den Datenleitungen eine Terminierungsspannung zur Verfügung, um die auf der Datenleitung gesendeten Signale im Idealfall mit gleichem Hub schwanken. Die Terminierungsspannung wird von der Eingangsschaltung vorgegeben und gibt eine Mittenspannung an, um die sich die zu übertragenen Signale bewegen.

15

20

Die üblicherweise bei den aktuellen DRAM-Standards implementierte Terminierung in den Eingangsschaltungen ist unmittelbar in der integrierten Schaltung integriert und kann nicht von außen manipuliert werden. Üblicherweise wird die Terminierungsspannung durch einen aus zwei Widerständen aufgebauten Spannungsteiler generiert. Aufgrund von prozessbedingten Schwankungen bzw. aufgrund von Temperaturschwankungen ist die Terminierungsspannung nicht konstant, so dass sich die über die Eingangsschaltung empfangenen Signale um eine nicht exakt festlegbare Mittenspannung bewegen, die durch die Terminierungsschaltung vorgegeben ist.

25

30

35

Zum Bewerten des empfangenen Signals wird der jeweilige Potentialpegel des empfangenen Signals mit einer Referenzspannung verglichen, die von außen vorgegeben werden kann oder in

der integrierten Schaltung einstellbar ist. Die Referenzspannung ist jedoch nicht für verschiedene Eingangsschaltungen anpassbar, sondern wird in der Regel für alle Eingangsschaltungen allgemein zur Verfügung gestellt. So kann es vorkommen, dass die Terminierungsspannung und die Referenzspannung voneinander abweichen, so dass die Spannungshübe zwischen dem High-Pegel und der Referenzspannung und dem Low-Pegel und der Referenzspannung unterschiedlich groß sind. Dies kann zur Folge haben, dass einer der High- bzw. Low-Pegel nicht unter allen Umständen zuverlässig erkannt werden kann. Ein weiterer Nachteil besteht darin, dass bei periodischen Signalen mit vorbestimmten Tastverhältnis eine Abweichung zwischen Terminierungsspannung und Referenzspannung zu einer Änderung des Tastverhältnisses des empfangenen Signals führen kann. Dies ist insbesondere bei hochfrequenten Signalen der Fall, bei denen die Flankensteilheit gering ist.

Es ist daher Aufgabe der vorliegenden Erfindung, eine Eingangsschaltung einer integrierten Schaltung vorzusehen, um Signale zu empfangen und bezüglich einer Referenzspannung zuverlässig zu bewerten. Weiterhin ist es Aufgabe der vorliegenden Erfindung, ein Verfahren zum Einstellen einer Terminierungsspannung zur Verfügung zu stellen.

Diese Aufgabe wird durch die Eingangsschaltung nach Anspruch 1 bzw. durch das Verfahren nach Anspruch 10 gelöst.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Gemäß einem ersten Aspekt der vorliegenden Erfindung ist eine Eingangsschaltung zum Empfangen eines Signals an einem Eingang einer integrierten Schaltung vorgesehen. Die Eingangsschaltung bewertet das Signal bezüglich einer Referenzspannung. Die Eingangsschaltung weist eine Terminierungsschaltung zum Einstellen einer Terminierungsspannung auf. Die Terminierungsschaltung umfasst einen zwischen einem hohen Spannungs-

potential und einen niedrigen Spannungspotential in Reihe geschalteten ersten Widerstand und einen zweiten Widerstand, wobei zwischen dem ersten und zweiten Widerstand die Terminierungsspannung abgreifbar ist. Parallel zu dem ersten Widerstand ist ein erstes spannungsabhängiges Widerstandselement mit einem ersten Widerstandsgradienten und parallel zum zweiten Widerstand ein zweites spannungsabhängiges Widerstandselement mit einem zweiten Widerstandsgradienten geschaltet. Die Widerstandswerte des ersten und des zweiten Widerstandselementes sind durch eine Steuerschaltung steuerbar, um über die Steuerspannung die Widerstandswerte des ersten und des zweiten Widerstandselementes und dadurch die Terminierungsspannung einzustellen.

Auf diese Weise lässt sich durch eine geeignete Wahl der Steuerspannung die Terminierungsspannung so einstellen, dass das Bewerten des empfangenen Signals zuverlässiger erfolgt. Prozessbedingte Abweichungen der Widerstandswerte des ersten und des zweiten Widerstandes lassen sich so kompensieren. Die Steuerspannung steuert die spannungsabhängigen Widerstandselemente aufgrund der unterschiedlichen Widerstandsgradienten auf unterschiedliche Weise, so dass das Widerstandsverhältnis der Widerstandswerte der beiden Zweige des Spannungsteilers und somit die dadurch erzeugte Spannung verändert wird. Vorzugsweise weisen der erste und der zweite Widerstandgradient unterschiedliche Vorzeichen auf, um einen möglichst großen Einstellbereich der Terminierungsspannung zu erhalten.

In integrierten Schaltungen werden das erste und/oder das zweite spannungsgesteuerte Widerstandselement mit Hilfe eines Transistors ausgebildet. Insbesondere eignen sich aufgrund der Widerstandsgradienten mit unterschiedlichen Vorzeichen p-Kanal-Feldeffekttransistoren für das erste spannungsgesteuerte Widerstandselement und ein n-Kanal-Feldeffekttransistor für das zweite spannungsgesteuerte Widerstandselement.

Zum Einstellen der Steuerspannung kann eine Steuerschaltung vorgesehen sein, die eine Spannungsgeneratorschaltung zum Erzeugen einer Vergleichsspannung und einen Differenzverstärker aufweist. Die Spannungsgeneratorschaltung ist baugleich zu
5 der Terminierungsschaltung ausgeführt, wobei die Vergleichsspannung und die Referenzspannung an Eingängen des Differenzverstärkers angelegt sind. Die Steuerspannung ist an einem Ausgang eines Differenzverstärkers abgreifbar und an den Steuereingängen des ersten und zweiten Widerstandselementes
10 der Spannungsgeneratorschaltung und der Terminierungsschaltung angelegt.

Auf diese Weise kann die Terminierungsspannung exakt an die Referenzspannung angepasst werden, da die Spannungsgeneratorschaltung im Wesentlichen denselben prozessbedingten und temperaturbedingten Schwankungen unterliegt, wie die Terminierungsschaltungen. Mit Hilfe des Differenzverstärkers wird die Steuerspannung generiert abhängig davon, in welchem Maße sich Referenzspannung und Vergleichsspannung voneinander unterscheiden. Durch die Rückkopplung des Ausgangs des Differenzverstärkers auf die Eingänge der Spannungsgeneratorschaltung wird die Steuerspannung so angepasst, dass die Spannungsgeneratorschaltung und die baugleiche Terminierungsschaltung jeweils eine Spannung generieren, die im Wesentlichen mit der vorgegebenen Referenzspannung übereinstimmt. Auf diese Weise
25 können die Terminierungsspannung und die Referenzspannung auf gleiche Potentiale gelegt werden, so dass empfangene Signale, deren High- und Low-Pegel sich um die Terminierungsspannung bewegen in bestmöglicher Weise bewertet werden können.

30 Vorzugsweise wird die Vergleichsspannung an den nicht-invertierenden Eingang und die Referenzspannung an den invertierenden Eingang des Differenzverstärkers angelegt.

35 Der Ausgang des Differenzverstärkers kann auch an mehrere Terminierungsschaltungen angelegt sein, so dass die Terminierungsschaltungen von mehreren Eingangsschaltungen über die

von der Steuerschaltung generierte Steuerspannung angesteuert sind.

Vorzugsweise wird als Spannungspegel für die Referenzspannung ein Wert gewählt, der etwa in der Mitte zwischen dem High-Pegel und dem Low-Pegel des empfangenen Signals liegt.

Zum Empfangen und Bewerten des Signals kann eine Signalauswerteschaltung vorgesehen sein, um das empfangene Signal mit der Referenzspannung zu vergleichen und abhängig von dem Ergebnis des Vergleichens einen Signalwert zuzuweisen.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Verfahren zum Einstellen einer Terminierungsspannung an einer Terminierungsschaltung vorgesehen. Die Terminierungsspannung wird gemäß einer Steuerschaltung eingestellt, wobei die Steuerspannung so gewählt wird, dass die Terminierungsspannung im Wesentlichen einer vorgegebenen Referenzspannung entspricht, gegen die das empfangene Signal detektiert wird. Das erfindungsgemäße Verfahren hat den Vorteil, dass bei einer voneinander unabhängigen Erzeugung zur Bereitstellung von Referenzspannung und Terminierungsspannung die Terminierungsspannung an die vorgegebene Referenzspannung angepasst werden kann.

Die Steuerspannung wird dabei abhängig von der Referenzspannung ermittelt, indem die Terminierungsspannung und die Referenzspannung miteinander verglichen werden.

Eine bevorzugte Ausführungsform der Erfindung wird im Folgenden anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

Figur 1 eine Eingangsschaltung, gemäß dem Stand der Technik;
Figur 2 einen möglichen Signalverlauf bezüglich einer Terminierungsspannung und einer Referenzspannung; und

Figur 3 eine Terminierungseinheit zum Einsatz in einer erfindungsgemäßen Eingangsschaltung.

In Figur 1 ist eine herkömmliche Eingangsschaltung 1 dargestellt, die üblicherweise in einer (nicht gezeigten) integrierten Schaltung mehrfach Verwendung findet. Die Eingangsschaltung weist eine Terminierungseinheit 2 und eine Auswerteeinheit 3 auf. Sowohl Terminierungseinheit 2 als auch Auswerteeinheit 3 sind mit einer Anschlussfläche 4 der integrierten Schaltung verbunden. An der Anschlussfläche 4 können über eine Datenleitung 5 externe Signale empfangen werden, die von einer externen Treiberschaltung 6 gemäß einem zu sendenden Signal S auf die Datenleitung 5 getrieben wird.

Die Terminierungseinheit 2 stellt eine Terminierungsspannung V_{TT} zur Verfügung, die sich aus dem Widerstandsverhältnis eines Spannungsteilers 7 mit einem ersten Widerstand 8 und einem zweiten Widerstand 9 ergibt. Erster und zweiter Widerstand 8, 9 sind in Reihe zwischen einem hohen Versorgungsspannungspotential V_{DD} und einem niedrigen Spannungspotential GND geschaltet, wobei die Terminierungsspannung V_{TT} zwischen dem ersten und dem zweiten Widerstand 8, 9 abgegriffen wird. Die Terminierungsspannung V_{TT} ist mit der Anschlussfläche 4 verbunden. Beim Senden von Signalen arbeitet die Treiberschaltung 6 gegen die Widerstände 8, 9 der Terminierungseinheit 2.

Die Auswerteeinheit 3 vergleicht die Signalpegel des empfangenen Signals mit einer Referenzspannung V_{Ref} , die von extern vorgegeben sein kann oder einstellbar intern in der integrierten Schaltung generierbar ist. Die Auswerteeinheit 3 weist einen Vergleicher 10 auf, der das empfangene Signal mit der Referenzspannung V_{Ref} vergleicht und anhand des Vorzeichens der Abweichung das Signal bewertet. Die Referenzspannung V_{Ref} wird üblicherweise so gelegt, dass es sich im Wesentlichen auf einen Mittenpotential, d. h. in der Mitte zwischen dem High-Potential und dem Low-Potential der gewünsch-

ten Signalpegel befindet. Da die Signalpegel jedoch von der Terminierungsspannung bestimmt sind, kann die Referenzspannung V_{Ref} von dem idealen Mittenpotential abweichen.

5 Weicht die Referenzspannung V_{Ref} von dem Mittenpotential ab, so werden entweder High-Pegel oder Low-Pegel unzuverlässiger erkannt. Ist das empfangene Signal ein Taktsignal, so kann aufgrund von zu flachen Flankensteilheiten bei einer Ver-
10 schiebung der Referenzspannung V_{Ref} gegenüber der Mittenspannung ein von dem ursprünglichen Signal verschiedenes Tastverhältnis am Ausgang des Vergleichers 10 ausgelesen werden. Insbesondere bei DRAM-Speicherschaltungen ist jedoch das Tastverhältnis von vorgegebenen Taktsignalen für die Funktionsweise wichtig und unterliegt strengen Spezifikationen.

15 Da die Terminierungsspannung V_{TT} durch den Spannungsteiler 7 im Wesentlichen festgelegt ist, so dass sich durch äußere Einflüsse die Terminierungsspannung V_{TT} nicht ändern lässt, ist ein Abgleich zwischen der Referenzspannung V_{Ref} und der
20 Terminierungsspannung V_{TT} nur schwer möglich.

In Figur 2 ist nochmals der Verlauf eines möglichen empfangenen Signals bezüglich der Referenzspannung V_{Ref} und der Terminierungsspannung V_{TT} dargestellt. Man erkennt, dass bei einer
25 Abweichung der Referenzspannung V_{Ref} gegenüber V_{TT} hin zum niedrigeren Potential die Spannungshübe zwischen dem Low-Potential und V_{Ref} verringert und den Spannungshub zwischen der Referenzspannung V_{Ref} und dem High-Potential erhöht. Zudem erkennt man, dass die Zeitdauer der High-Periode TH gegenüber
30 der Zeitdauer einer High-Periode bei identischen Terminierungs- und Referenzspannungen verlängert ist. Ebenso erkennt man, dass die Zeitdauer, in der von der Auswerteeinheit 3 ein Low-Pegel erkannt wird, gegenüber der Zeitdauer, bei der bei identischen Terminierungs- und Referenzspannungen ein Low-
35 Pegel erkannt wird, geringer ist. Daraus kann sich eine Verschiebung des Tastverhältnisses ergeben.

Insbesondere bei DRAM-Schaltungen werden durch das Timing das Taktsignals interne Abläufe gesteuert, wobei die Flanken des Taktsignals gemäß einem vorbestimmten Tastverhältnisses vorbestimmt sein müssen. Die Abweichung zwischen Referenzspannung V_{Ref} und Terminierungsspannung V_{TT} hat also zur Folge, dass das Tastverhältnis bei dem empfangenen periodischen Signal verändert ist, insbesondere, wenn die Flankensteilheit des Signals, z. B. aufgrund einer hochfrequenten Übertragung gering ist. Je geringer die Flankensteilheit und je größer die Abweichung zwischen Referenzspannung V_{Ref} und Terminierungsspannung V_{TT} , desto größer ist auch die Abweichung des Tastverhältnisses vom Tastverhältnis des an die Eingangsschaltung gesendeten Signals.

In Figur 3 ist eine Terminierungseinheit dargestellt, die in einer erfindungsgemäßen Eingangsschaltung eingesetzt ist. Sie weist eine Terminierungsschaltung 20 auf, um abhängig von einem Steuersignal TS die Terminierungsspannung V_{TT} zu erzeugen und an der Anschlussfläche der Eingangsschaltung zur Verfügung zu stellen.

Die Terminierungsschaltung 20 weist einen dritten Widerstand 21 und einen vierten Widerstand 22 auf, die in Reihe zwischen dem hohen Versorgungsspannungspotential V_{DD} und dem niedrigen Versorgungsspannungspotential GND geschaltet sind. Parallel zu dem dritten Widerstand 21 ist ein erster p-Kanal-Feldeffekttransistor 23 und parallel zu dem vierten Widerstand 22 ein erster n-Kanal-Feldeffekttransistor 24 geschaltet. Die Steuereingänge des ersten p-Kanal-Feldeffekttransistors 23 und des ersten n-Kanal-Feldeffekttransistors 24 sind mit dem Steuersignal TS verbunden. Die beiden Feldeffekttransistoren 23, 24 weisen entgegengesetzte Widerstandsgradienten auf, so dass bei einer ansteigenden Spannung des Steuersignals TS der Widerstand des ersten p-Kanal-Feldeffekttransistors 23 zunimmt und der Widerstand des ersten n-Kanal-Feldeffekttransistors 24 abnimmt und umgekehrt.

Das Steuersignal TS wird von einer Steuereinheit 25 generiert. Die Steuereinheit 25 weist eine Spannungsgeneratorschaltung 26 und einen Differenzverstärker 27 auf. Die Spannungsgeneratorschaltung generiert eine Vergleichsspannung V_{VGL} , die an einen nicht-invertierenden Eingang des Differenzverstärkers 27 angelegt ist. An einen invertierenden Eingang des Differenzverstärkers 27 ist die Referenzspannung V_{Ref} angelegt.

Die Spannungsgeneratorschaltung 26 ist ebenso, wie die Terminierungsschaltung 20 in der integrierten Schaltung integriert und baugleich ausgeführt, so dass sie den gleichen Prozesseinflüssen und Temperatureinflüssen unterliegt. So weist die Spannungsgeneratorschaltung 26 einen fünften Widerstand 28 und einen sechsten Widerstand 29 auf. Der fünfte und sechste Widerstand 28, 29 sind in Reihe, zwischen dem hohen Versorgungsspannungspotential V_{DD} und dem niedrigen Versorgungsspannungspotential GND geschaltet. Zwischen dem fünften Widerstand und dem sechsten Widerstand 28, 29 wird die Vergleichsspannung V_{VGL} abgegriffen. Parallel zu dem fünften Widerstand 28 ist ein zweiter p-Kanal-Feldeffekttransistor 30 und parallel zu dem sechsten Widerstand 29 ein zweiter n-Kanal-Feldeffekttransistor 31 geschaltet. Die Steuereingänge des zweiten p-Kanal- und des zweiten n-Kanal-Feldeffekttransistors sind mit dem Steuersignal TS, dass an einem Ausgang des Differenzverstärkers 27 abgegriffen wird, verbunden.

Da die Terminierungsschaltung 20 und die Spannungsgeneratorschaltung 26 baugleich ausgeführt sind, mit den gleichen Spannungspotentialen V_{DD} , GND verbunden sind und mit dem gleichen Steuersignal TS angesteuert werden, entspricht die Terminierungsspannung V_{TT} , die an der Anschlussfläche der integrierten Schaltung zur Verfügung gestellt wird, der Vergleichsspannung V_{VGL} . Der Differenzverstärker 27 hat die Aufgabe, die Vergleichsspannung V_{VGL} auf die Referenzspannung V_{Ref} , die der integrierten Schaltung bereit gestellt wird, anzugleichen.

Das an dem Ausgang des Differenzverstärkers 27 abzugreifende Steuersignal TS weist demnach einen Wert auf, bei dem die Vergleichsspannung V_{VGL} und die Referenzspannung V_{Ref} im Wesentlichen den gleichen Spannungswert aufweisen. Da die Terminierungsschaltung 20 und die Spannungsgeneratorschaltung 26 baugleich ausgeführt sind, weisen somit auch die Referenzspannung V_{Ref} und die Terminierungsspannung V_{TT} am Ausgang der Terminierungsschaltung 20 den gleichen Spannungswert auf. Somit kann die Terminierungsspannung V_{TT} in einer Eingangsschaltung einer integrierten Schaltung an eine von außen vorgegebene Referenzspannung V_{Ref} angepasst werden, so dass im Wesentlichen eine Abweichung zwischen Terminierungsspannung V_{TT} und Referenzspannung V_{Ref} vermieden werden kann.

Der Regelungsvorgang für das Steuersignal TS erfolgt folgendermaßen: Ist die Vergleichsspannung V_{VGL} größer als die Referenzspannung V_{Ref} so verstärkt der Differenzverstärker 27 die Differenzspannung erheblich (entsprechend seiner Steilheit) und legt das verstärkte Spannungssignal an die Steuereingänge des zweiten p-Kanal- und des zweiten n-Kanal-Feldeffekttransistors 30, 31 an. Durch die daran anliegende hohe positive Spannung wird der Widerstand des zweiten p-Kanal-Feldeffekttransistors 30 erhöht und der Widerstand des zweiten n-Kanal-Feldeffekttransistors 31 erniedrigt. Dadurch wird die Vergleichsspannung V_{VGL} erniedrigt.

Auf analoge Weise liegt im Wesentlichen ein niedriges Potential (in der Nähe eines niedrigen Versorgungsspannungspotentials des Differenzverstärkers 27) als Steuersignal an den Steuereingängen der zweiten Feldeffekttransistoren 30, 31 an. Dies führt dazu, dass der Widerstand des zweiten p-Kanal-Feldeffekttransistors 30 klein ist und der Widerstand des zweiten n-Kanal-Feldeffekttransistors 31 hoch ist. In diesem Fall ist die Vergleichsspannung V_{VGL} erhöht, so dass mit Hilfe der Rückkopplungsschleife die Referenzspannung V_{Ref} und die Vergleichsspannung V_{VGL} aufeinander eingeregelt werden. Sind

die Vergleichsspannung V_{VGL} und die Referenzspannung V_{Ref} im Wesentlichen identisch, so liegt am Ausgang des Differenzverstärkers 27 ein Spannungspotential an, dass die entsprechenden Arbeitspunkte der ersten und zweiten Feldeffekttransistoren 23, 24, 30, 31 vorgibt, um die gewünschte Terminierungsspannung V_{TT} bzw. Vergleichsspannung V_{VGL} zu erhalten.

Bei der Realisierung von mehreren Eingangsschaltungen in einer integrierten Schaltung ist es möglich, dass das durch die Steuereinheit 25 generierte Steuersignal TS mehreren Terminierungsschaltungen 20 zur Verfügung gestellt wird, die jeweils in Eingangsschaltungen einer integrierten Schaltung vorgesehen sind. Auf diese Weise lässt sich die Anpassung der Terminierungsspannung V_{TT} in einer platzsparenden Weise realisieren, da nur eine Steuereinheit 25 für die gesamte integrierte Schaltung vorgesehen sein muss. Da das Steuersignal TS im Wesentlichen ein konstantes Spannungssignal ist und die Steuereingänge der Feldeffekttransistoren 23, 24, 30, 31 für ein konstantes Spannungssignal keine Last darstellen, spielen die Zuleitungslängen zwischen Steuereinheit 25 und den Terminierungsschaltungen 20 im Wesentlichen keine Rolle, so dass dadurch nicht mit Verschiebungen zwischen den Terminierungsspannungen V_{TT} der einzelnen Terminierungsschaltungen 20 zu rechnen ist.

Patentansprüche

1. Eingangsschaltung zum Empfangen eines Signals an einem Eingang einer integrierten Schaltung, insbesondere einer
5 DRAM-Schaltung, und zum Bewerten des Signals bezüglich einer Referenzspannung (V_{Ref}) mit einer Terminierungsschaltung (20) zum Einstellen einer Terminierungsspannung (V_{TT}),
wobei die Terminierungsschaltung (20) einen zwischen einem
10 hohen Spannungspotential und einem niedrigen Spannungspotential in Reihe geschalteten ersten Widerstand und einen zweiten Widerstand (22) aufweist, wobei zwischen dem ersten und zweiten Widerstand (21, 22) die Terminierungsspannung (V_{TT}) abgreifbar ist,
15 dadurch gekennzeichnet, dass parallel zu dem ersten Widerstand (21) ein erstes spannungsabhängiges Widerstandselement (23) mit einem ersten Widerstandsgradienten und parallel zum zweiten Widerstand (22) ein
20 zweites spannungsabhängiges Widerstandselement (24) mit einem zweiten Widerstandsgradienten geschaltet ist, wobei die Widerstandswerte des ersten und des zweiten Widerstandselementes (23, 24) durch eine Steuerspannung (TS) steuerbar sind, um über die Steuerspannung die Widerstandswerte des ersten und des zweiten Widerstandselementes (23, 24) und
25 dadurch die Terminierungsspannung (V_{TT}) einzustellen.
2. Eingangsschaltung nach Anspruch 1, dadurch gekennzeichnet, dass der erste und der zweite Widerstandsgradient unterschiedliche Vorzeichen aufweisen.
- 30 3. Eingangsschaltung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass das erste und/oder das zweite spannungsgesteuerte Widerstandselement (23, 24) einen Transistor aufweist.

4. Eingangsschaltung nach Anspruch 1 bis 3, dadurch gekennzeichnet, dass das erste spannungsgesteuerte Widerstandselement (23) einen p-Kanal-Feldeffekttransistor und/oder das zweite spannungsgesteuerte Widerstandselement (24) einen n-Kanal-Feldeffekttransistor aufweist.
5. Eingangsschaltung nach Anspruch 1 bis 4, dadurch gekennzeichnet, dass eine Steuerschaltung (25) vorgesehen ist, um die Steuerspannung (TS) zu erzeugen, wobei die Steuerschaltung (25) eine Spannungsgeneratorschaltung (26) zum Erzeugen einer Vergleichsspannung und einen Differenzverstärker (27) aufweist, wobei die Spannungsgeneratorschaltung (26) baugleich zu der Terminierungsschaltung (20) ausgeführt ist, wobei die Vergleichsspannung (V_{VGL}) und die Referenzspannung (V_{Ref}), an Eingängen des Differenzverstärkers angelegt sind, wobei die Steuerspannung (TS) an einem Ausgang eines Differenzverstärkers (27) abgreifbar ist und an den Steuereingängen des ersten und zweiten Widerstandselementes (23, 24) der Spannungsgeneratorschaltung (26) und der Terminierungsschaltung (20) angelegt ist.
6. Eingangsschaltung nach Anspruch 5, dadurch gekennzeichnet, dass die Vergleichsspannung (V_{VGL}) den nicht-invertierenden Eingang und die Referenzspannung an den invertierenden Eingang des Differenzverstärkers (27) angelegt sind.
7. Eingangsschaltung nach Anspruch 1 bis 6, dadurch gekennzeichnet, dass mehrere Terminierungsschaltungen (20) vorgesehen sind, die von der von der Steuerschaltung (25) generierten Steuerspannung (TS) angesteuert sind.
8. Eingangsschaltung nach Anspruch 1 bis 7, dadurch gekennzeichnet, dass die Referenzspannung (V_{Ref}) einen

Spannungspegel aufweist, der etwa in der Mitte zwischen dem High-Pegel und dem Low-Pegel des empfangenen Signals liegt.

9. Eingangsschaltung nach Anspruch 1 bis 8, dadurch gekennzeichnet, dass eine Signalauswerteschaltung vorgesehen ist, um das empfangene Signal mit der Referenzspannung (V_{Ref}) zu vergleichen und abhängig von dem Ergebnis des Vergleiches eines Signalwertes zuzuweisen.
10. Verfahren zum Einstellen einer Terminierungsspannung (V_{TT}) an einer Terminierungsschaltung (20), wobei die Terminierungsspannung (V_{TT}) gemäß einer Steuerspannung (TS) eingestellt wird, wobei die Steuerspannung (TS) so gewählt wird, dass die Terminierungsspannung (V_{TT}) im wesentlichen einer vorgegebenen Referenzspannung (V_{Ref}) entspricht, gegen die das empfangene Signal detektiert wird.
11. Verfahren nach Anspruch 10, wobei die Steuerspannung (TS) abhängig von der Referenzspannung (V_{Ref}) ermittelt wird, indem die Terminierungsspannung (V_{TT}) und die Referenzspannung (V_{Ref}) miteinander verglichen werden.

Zusammenfassung

Eingangsschaltung zum Empfangen eines Signals an einem Eingang einer integrierten Schaltung

5

10

15

20

25

Die Erfindung betrifft eine Eingangsschaltung zum Empfangen eines Signals an einem Eingang einer integrierten Schaltung, insbesondere einer DRAM-Schaltung, und zum Bewerten des Signals bezüglich einer Referenzspannung mit einer Terminierungsschaltung zum Einstellen einer Terminierungsspannung, wobei die Terminierungsschaltung einen zwischen einem hohen Spannungspotential und einem niedrigen Spannungspotential in Reihe geschalteten ersten Widerstand und einen zweiten Widerstand aufweist, wobei zwischen dem ersten und zweiten Widerstand die Terminierungsspannung abgreifbar ist, wobei parallel zu dem ersten Widerstand ein erstes spannungsabhängiges Widerstandselement mit einem ersten Widerstandsgradienten und parallel zum zweiten Widerstand ein zweites spannungsabhängiges Widerstandselement mit einem zweiten Widerstandsgradienten geschaltet ist, wobei die Widerstandswerte des ersten und des zweiten Widerstandselementes durch eine Steuerspannung steuerbar sind, um über die Steuerspannung die Widerstandswerte des ersten und des zweiten Widerstandselementes und dadurch die Terminierungsspannung einzustellen.

Figur 3

Figur für die Zusammenfassung

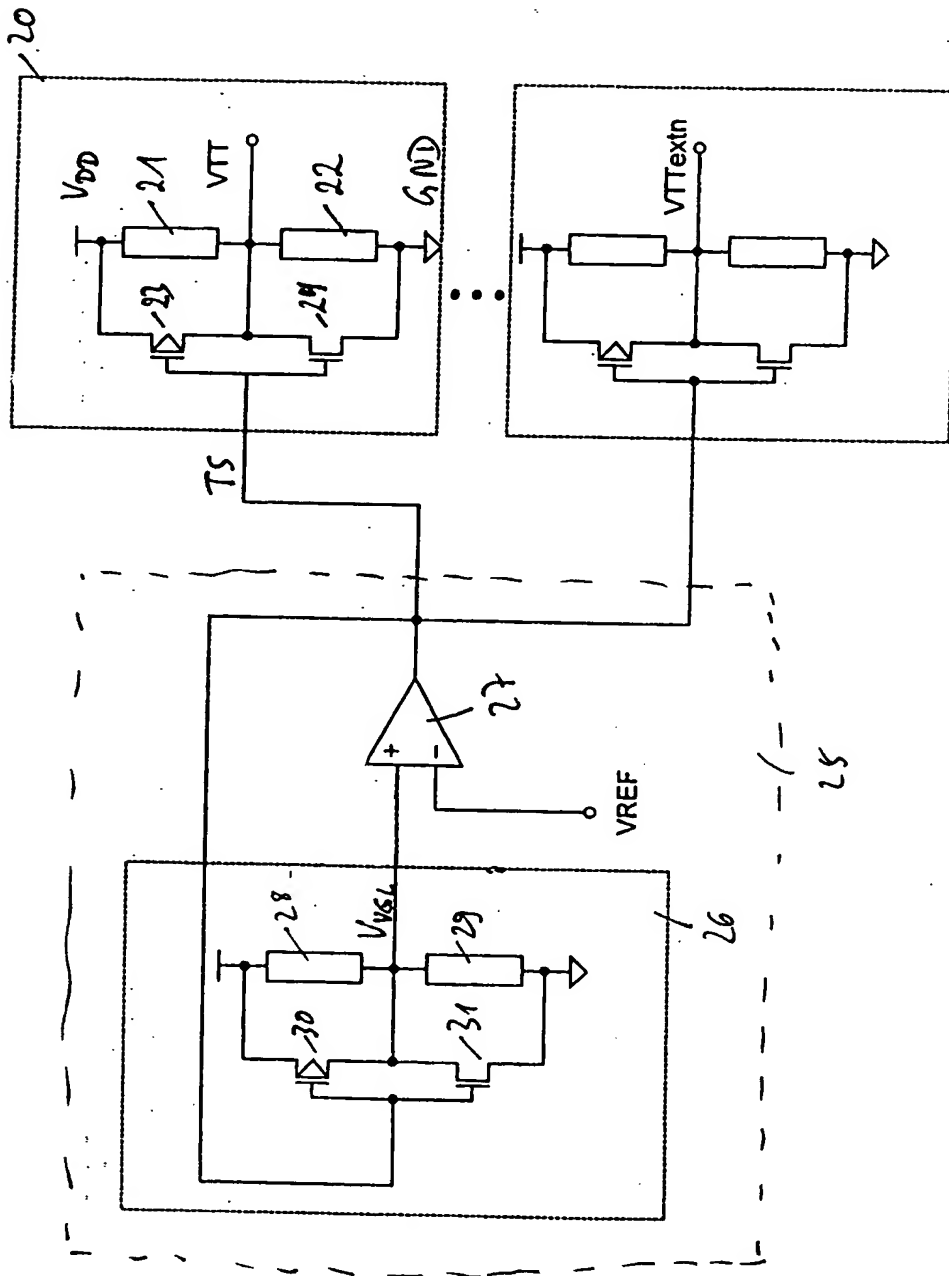


Fig. 3

Bezugszeichenliste

1	Eingangsschaltung
2	Terminierungseinheit
3	Auswerteeinheit
4	Anschlussfläche
5	Datenleitung
6	Treiberschaltung
7	Spannungsteiler
8	erster Widerstand
9	zweiter Widerstand
10	Vergleicher
20	Terminierungsschaltung
21	dritter Widerstand
22	vierter Widerstand
23	erster p-Kanal-Feldeffekttransistor
24	erster n-Kanal-Feldeffekttransistor
25	Steuereinheit
26	Spannungsgeneratorschaltung
27	Differenzverstärker
28	fünfter Widerstand
29	sechster Widerstand
30	zweiter p-Kanal-Feldeffekttransistor
31	zweiter n-Kanal-Feldeffekttransistor
V_{DD}	hohes Versorgungsspannungspotential
GND	niedriges Versorgungsspannungspotential
V_{TT}	Terminierungsspannung
V_{VGL}	Vergleichsspannung
V_{Ref}	Referenzspannung
TS	Steuersignal

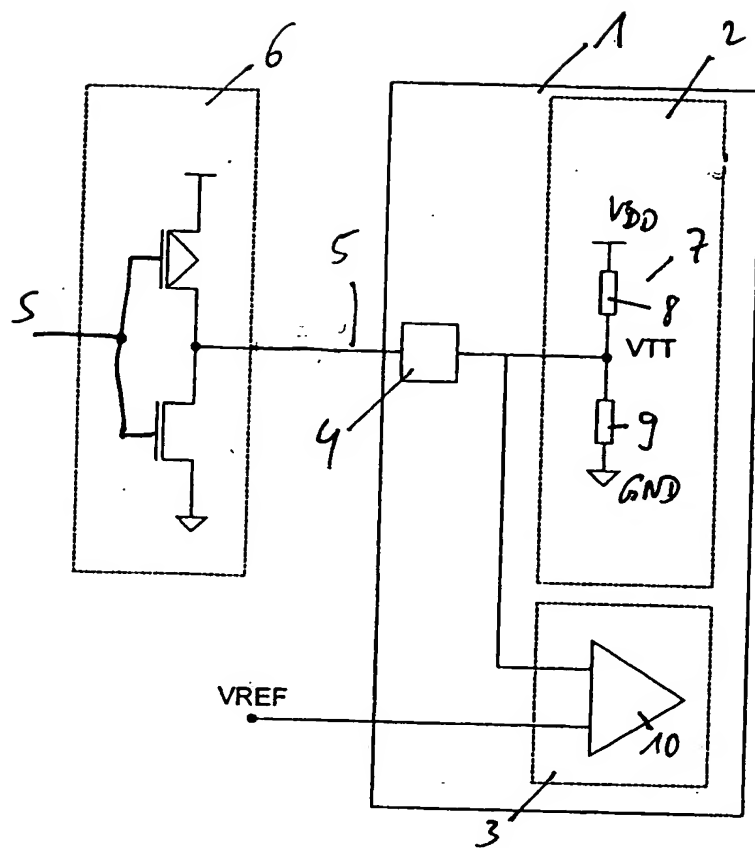


Fig. 1

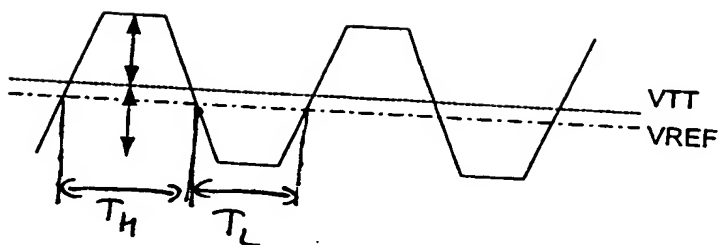


Fig. 2

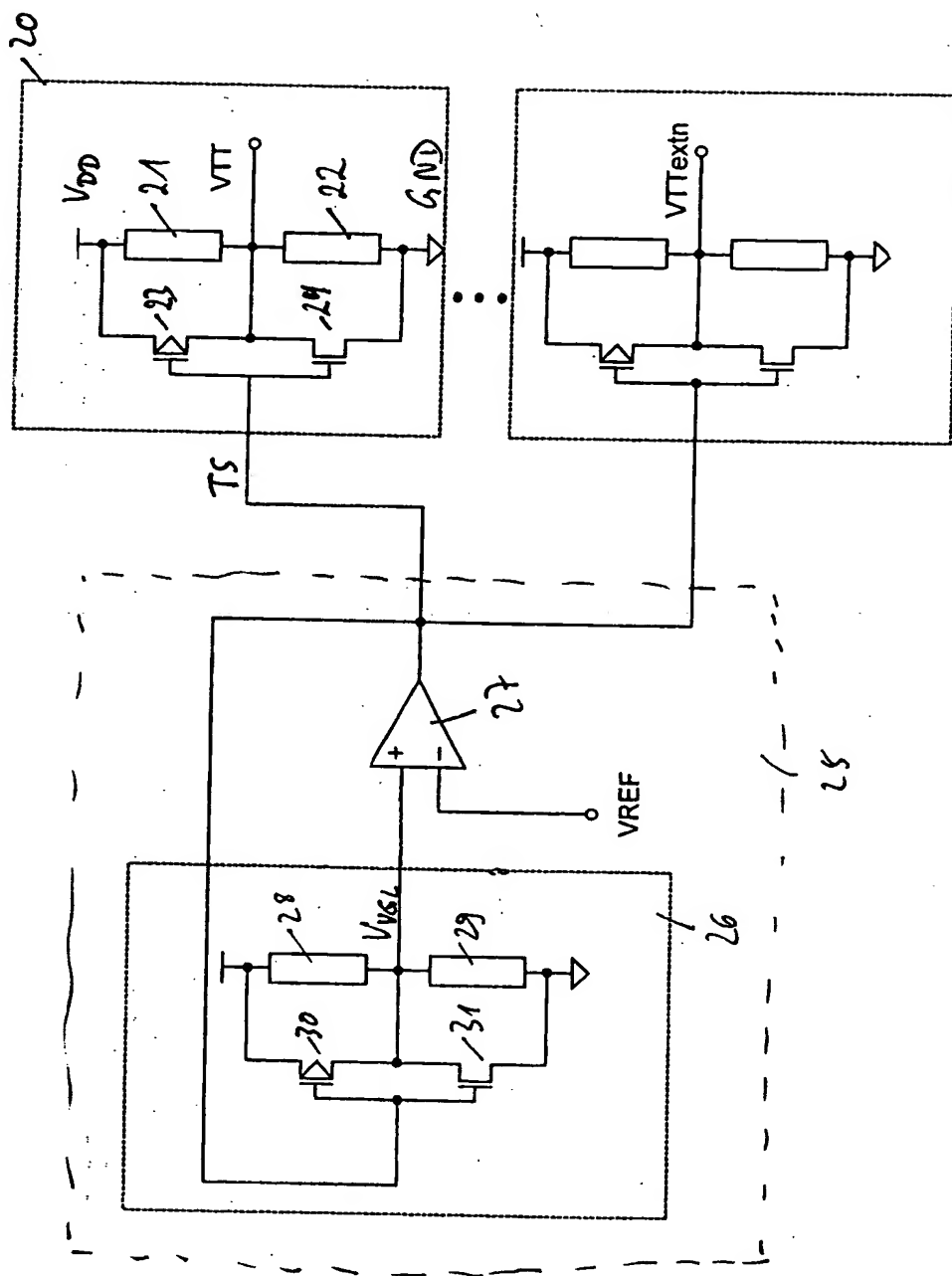


Fig. 3